



Docket No.: YHK-0117

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

:

Young Dae KIM

:

Serial No.: 10/657,257

:

Confirm. No.: To be assigned

:

Filed: September 9, 2003 : Customer No.: 34610

For: PLASMA DISPLAY PANEL

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. P2002-55455 filed September 12, 2002.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186

P.O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440 DYK/dak
Date: September 22, 2003

Please direct all correspondence to Customer Number 34610



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0055455 218
Application Number

출원년월일 : 2002년 09월 12일
Date of Application SEP 12, 2002

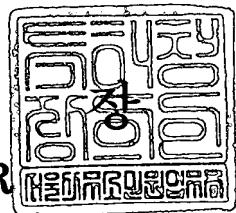
출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2003년 09월 01일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0013		
【제출일자】	2002.09.12		
【발명의 명칭】	플라즈마 디스플레이 패널		
【발명의 영문명칭】	PLASMA DISPLAY PANEL		
【출원인】			
【명칭】	엘지전자 주식회사		
【출원인코드】	1-2002-012840-3		
【대리인】			
【성명】	김영호		
【대리인코드】	9-1998-000083-1		
【포괄위임등록번호】	2002-026946-4		
【발명자】			
【성명의 국문표기】	김영대		
【성명의 영문표기】	KIM, Young Dae		
【주민등록번호】	761103-1121018		
【우편번호】	612-811		
【주소】	부산광역시 해운대구 반여1동 1442-7번지 10통 3반		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 김영호 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	7	항	333,000 원
【합계】	364,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 비표시영역으로부터 발생되는 이상방전을 방지하여 화질 및 신뢰성을 높이도록 한 플라즈마 디스플레이 패널에 관한 것이다.

본 발명의 실시예에 따른 플라즈마 디스플레이 패널은 화상이 표시되는 액티브영역과 상기 액티브영역의 바깥쪽에 위치하는 비표시영역을 가지면서 비표시영역 내에 위치하는 더미전극들은 액티브영역 내에 위치하는 서스테인전극쌍들에 비해 전극간 간격이 좁은 것을 특징으로 한다.

【대표도】

도 9

【명세서】**【발명의 명칭】**

플라즈마 디스플레이 패널{PLASMA DISPLAY PANEL}

【도면의 간단한 설명】

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도이다.

도 2는 256 계조를 구현하기 위한 8 비트 디폴트 코드의 프레임 구성을 나타내는 도면이다.

도 3은 종래의 PDP를 구동하기 위한 구동 파형을 나타내는 파형도이다.

도 4는 비표시영역을 나타내기 위한 플라즈마 디스플레이 패널의 평면도이다.

도 5는 도 4에 도시된 비표시영역의 전극을 나타내기 위한 플라즈마 디스플레이 패널의 평면도이다.

도 6은 비표시영역을 나타내기 위한 플라즈마 디스플레이 패널의 단면도이다.

도 7은 비표시영역에서 지속적으로 상승하는 벽전압을 나타내는 그래프이다.

도 8은 비표시영역으로부터 발생되어 액티브영역에서 인식되는 가시광을 개략적으로 나타내는 도면이다.

도 9는 본 발명의 제 1 실시예에 따른 플라즈마 디스플레이 패널에서 비표시영역의 전극을 나타내기 위한 플라즈마 디스플레이 패널의 평면도이다.
도 10은 본 발명의 제 2 실시예에 따른 플라즈마 디스플레이 패널에서 비표시영역의 전극을 나타내기 위한 플라즈마 디스플레이 패널의 평면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 상부기판

2 : 하부기판

3 : 격벽

4,6 : 유전체층

5 : 형광체

7 : 보호층

X : 어드레스전극

Y : 스캔전극

Z : 서스테인전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 비표시영역으로부터 발생되는 이상방전을 방지하여 화질 및 신뢰성을 높이도록 한 플라즈마 디스플레이 패널에 관한 것이다.

<18> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 한다)은 He+Xe, Ne+Xe, He+Xe+Ne 등의 불활성 혼합가스가 방전할 때 발생하는 자외선을

이용하여 형광체를 여기 발광시킴으로써 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근 업체의 상업적 생산이 개시되어 평판대형디스플레이 시장의 점유율을 높여가고 있다.

<19> 도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(1) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)을 포함한 서스테인전극쌍과, 서스테인전극쌍과 직교되도록 하부기판(2) 상에 형성되어진 어드레스전극(X)을 구비한다. 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극과, 그 위에 형성된 금속버스전극으로 이루어진다. 스캔전극(Y)과 서스테인전극(Z)이 형성된 상부기판(1)에는 상부 유전체층(6)과 MgO 보호층(7)이 적층된다. 어드레스전극(X)이 형성된 하부기판(2) 상에는 어드레스전극(X)을 덮도록 하부 유전체층(4)이 형성된다. 하부 유전체층(4) 위에는 수직으로 격벽(3)이 형성된다. 하부 유전체층(4)과 격벽(3)의 표면에는 형광체(5)가 형성된다. 상부기판(1)과 하부기판(2) 및 격벽(3) 사이에 마련된 방전공간에는 He+Xe, Ne+Xe, He+Xe+Ne 등의 불활성 혼합가스가 주입된다.

<20> PDP는 화상의 계조를 구현하기 위하여, 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 시분할 구동하게 된다. 각 서브필드는 전화면을 초기화시키기 위한 초기화기간(또는 리셋기간)과, 주사라인을 선택하고 선택된 주사라인에서 셀을 선택하기 위한 어드레스기간과, 방전횟수에 따라 계조를 구현하는 서스테인기간으로 나뉘어진다. 초기화기간은 상승램프파형이 공급되는 셋업기간과 하강램프파형이 공급되는 셋다운 기간으로 다수 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 도 2와 같이 1/60 초에 해당하는 프레임 기

간(16.67ms)은 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 8개의 서브필드들(SF1 내지 SF8) 각각은 전술한 바와 같이, 초기화기간, 어드레스기간 및 서스테인기간으로 나누어지게 된다. 각 서브필드의 초기화기간과 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간과 그에 할당되는 서스테인펄스의 수는 각 서브필드에서 2^n (n=0,1,2,3,4,5,6,7)의 비율로 증가된다.

<21> 도 3은 도 1에 도시된 PDP의 구동파형을 나타낸다.

<22> 도 3을 참조하면, PDP는 전화면을 초기화시키기 위한 초기화기간, 셀을 선택하기 위한 어드레스 기간 및 선택된 셀의 방전을 유지시키기 위한 서스테인기간으로 나누어 구동된다.

<23> 초기화기간(또는 리셋기간)에 있어서, 셋업기간(SU)에는 모든 스캔전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 방전이 일어난다. 이 셋업방전에 의해 어드레스전극(X)과 서스테인전극(Z) 상에는 정극성 벽전하가 쌓이게 되며, 스캔전극(Y) 상에는 부극성의 벽전하가 쌓이게 된다. 셋다운기간(SD)에는 상승 램프파형(Ramp-up)이 공급된 후, 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압에서 떨어지는 하강 램프파형(Ramp-down)이 스캔전극들(Y)에 동시에 인가된다. 하강 램프파형(Ramp-down)은 셀들 내에 미약한 소거방전을 일으킴으로써 과도하게 형성된 벽전하를 일부 소거시키게 된다. 이 셋다운방전에 의해 어드레스 방전이 안정되게 일어날 수 있을 정도의 벽전하가 셀들 내에 균일하게 잔류된다. 이러한 초기화기간동안 인가되는 파형을 리셋펄스라 칭하기도 한다.

<24> 어드레스기간에는 부극성 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 인가됨과 동시에 스캔펄스(scan)에 동기되어 어드레스전극들(X)에 정극성의 데이터펄스(data)가 인가된다. 이 스캔펄스(scan)와 데이터펄스(data)의 전압차와 초기화기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인전압이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다.

<25> 서스테인전극(Z)에는 셋다운기간과 어드레스기간 동안에 정극성 직류전압(Zdc)이 공급된다. 이 직류전압(Zdc)은 셋다운기간에 서스테인전극(Z)과 스캔전극(Y) 사이에 셋다운방전이 일어나게 함과 아울러 어드레스기간에 스캔전극(Y)과 서스테인전극(Z) 사이에 방전이 크게 일어나지 않도록 서스테인전극(Z)과 스캔전극(Y) 사이 또는 서스테인전극(Z)과 어드레스전극(X) 사이의 전압차를 설정하게 된다.

<26> 서스테인기간에는 스캔전극들(Y)과 서스테인전극들(Z)에 교번적으로 서스테인펄스(sus)가 인가된다. 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 인가될 때마다 스캔전극(Y)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 일어나게 된다.

<27> 서스테인방전이 완료된 직후에는 펄스폭과 전압레벨이 작은 램프파형(ramp-ers)이 서스테인전극(Z)에 공급되어 전화면의 셀들 내에 잔류하는 벽전하를 소거시키게 된다.

<28> 한편, PDP는 도 4 및 도 6에 나타낸 바와 같이 화상이 표시되는 액티브영역(Active area)(31)의 상측 외곽에 위치하는 상단 비표시영역(32)과 하

측 외곽에 위치하는 하단 비표시영역(33) 각각에 액티브영역(31)의 방전셀과 동일한 구조의 방전공간이 형성된다. 즉, 더미전극들(UDE,BDE)은 액티브영역(31)내의 서스테인전극쌍(Y,Z)와 같은 패턴으로 형성된다. 따라서, 상단 비표시영역(32)과 하단 비표시영역(33) 각각에는 어드레스전극(X)과 더미전극들(UDE,BDE)이 형성되고 그 전극들(X,UDE,BDE)을 덮도록 유전체층(4,6)이 형성된다. 상단 비표시영역(32)과 하단 비표시영역(33) 각각에 형성된 더미전극들(UDE,BDE)은 에이징 공정(Aging process)시 비표시영역에서 방전을 일으킴으로써 액티브영역(31)의 다른 방전셀들과 동일한 조건으로 액티브영역(31)의 첫번째 수평라인과 n 번째 수평라인의 방전셀들의 방전특성을 안정화시키게 된다. 이를 위하여, 더미전극(UDE,BDE)에는 에이징 공정시 방전을 일으킬 수 있는 전압이 인가되고, 에이징 공정 후에 전압이 인가되지 않는다.

<29> 그런데, 종래의 PDP는 상단 비표시영역(32)과 하단 비표시영역(33)으로부터 우발적으로 방전이 발생되는 문제점이 있다. 이러한 방전은 이상방전이라 정의 된다. 이를 상세히 하면, PDP의 구동시 초기화방전, 어드레스방전 및 서스테인 방전 등의 방전이 일어나면, 그 방전에 의해 발생되는 공간전하가 상단 비표시영역(32)과 하단 비표시영역(33)의 유전체상에 축적된다. 예컨데, 어드레스방전시 도 6과 같이 부극성의 스캔펄스(scan)가 스캔전극들(Y1 내지 Yn)에 순차적으로 쉬프트되면서 정극성의 공간전하(52)는 하단 비표시영역(33) 쪽으로 이동하게 되고, 이와 동시에 부극성의 공간전하(51)는 상단 비표시영역(32) 쪽으로 이동하게 된다. 이렇게 비표시영역(32,33)으로 이동된 공간전하(51,52)는 비표시영역(32,33) 내에 그리고 비표시영역(32,33)과 인접한 액티브영역의 전극을 덮고 있

는 유전체층(4,6) 상에 축적된다. 도 7과 같이 비표시영역(32,33)과 이에 인접한 액티브영역(31) 상에 축적된 벽전하에 의해 상승하는 방전공간의 벽전압(61)이 방전을 일으킬 수 있는 정도의 전압(V_f) 이상이 되면, 비표시영역(32,33)과 이에 인접한 액티브영역(31) 내에서 이상방전이 우발적으로 일어나게 된다. 이 이상방전에 의해 도 8과 같이 비표시영역(32,33)이나 이에 인접한 액티브영역(31)의 상/하단 가장자리로부터 발생되는 가시광(71)이 관찰자에게 보여지게 된다. 심한 경우, 이상방전에 의하여 PDP는 수초동안 화상을 표시할 수 없게 되고 방전셀까지 손상될 수 있으며, 스캔구동부에 실장된 스캔구동회로 및 어드레스 구동부에 실장된 어드레스구동회로에 갑자기 거대전류가 흐르게 되어 각 회로칩이 타버리게 되는 등 이상방전으로 발생되는 회로의 파괴현상으로 인해 PDP의 신뢰성을 떨어뜨리는 문제점이 있다. 이러한 이상방전은 PDP의 휘도가 높아질수록 그리고 해상도가 높아질수록 더 심하게 나타난다.

<30> 이상방전을 해결하기 위한 방법으로써 종래에는 PDP 구동시 초기화기간에 인가되는 리셋펄스를 더미전극에 인가하여 더미전극으로 유입된 전하를 방전시킴으로써 지속적으로 소거시켜 왔다. 그러나 이는 종래 PDP에서 발생하는 이상방전을 완전히 없애지 못하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 따라서, 본 발명의 목적은 비표시영역으로부터 발생되는 이상방전을 방지하여 화질 및 신뢰성을 높이도록 한 PDP를 제공함에 있다.

【발명의 구성 및 작용】

<32> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 PDP는 화상이 표시되는 액티브영역과 상기 액티브영역의 바깥쪽에 위치하는 비표시영역을 가지면서 비표시영역 내에 위치하는 더미전극들은 액티브영역 내에 위치하는 서스테인전극쌍들에 비해 전극간 간격이 좁은 것을 특징으로 한다.

<33> 본 발명의 실시예에 따른 PDP에 있어서, 더미전극들은 금속전극만으로 이루어진 것을 특징으로 한다.

<34> 본 발명의 실시예에 따른 PDP에 있어서, 더미전극들은 서스테인전극쌍들에 비해 전극의 폭이 좁은 것을 특징으로 한다.

<35> 본 발명의 실시예에 따른 PDP에 있어서, 더미전극들은 금속전극만으로 이루어진 것을 특징으로 한다.

<36> 본 발명의 실시예에 따른 PDP는 화상이 표시되는 액티브영역과 상기 액티브영역의 바깥쪽에 위치하는 비표시영역을 가지면서 비표시영역 내에 위치하는 더미전극들은 상기 액티브영역 내에 위치하는 서스테인전극쌍들에 비해 전극의 폭이 좁은 것을 특징으로 한다.

<37> 본 발명의 실시예에 따른 PDP에 있어서, 더미전극들은 금속전극만으로 이루어진 것을 특징으로 한다.

<38> 본 발명의 실시예에 따른 PDP는 화상이 표시되는 액티브영역과 상기 액티브영역의 바깥쪽에 위치하는 비표시영역을 가지면서 비표시영역 내에 위치하는 더미전극들은 금속전극만으로 이루어진 것을 특징으로 한다.

<39> 이하, 도 9 내지 도 10을 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.

<40> 도 9을 참조하면, 본 발명의 제 1 실시예에 따른 PDP는 화상이 표시되는 액티브영역(Active area)(91)의 서스테인전극쌍(Y,Z)과, 액티브영역(91)의 서스테인전극쌍(Y,Z)보다 전극간 간격(Gap)이 작게 형성되고 각 전극의 폭이 좁게 형성된 상측 더미전극(UDE1,UDE2) 및 하측 더미전극(BDE1,BDE2)을 구비한다.

<41> 본 발명의 제 1 실시예에 따른 PDP를 도 1 내지 도 3을 결부하여 설명하면, 서스테인전극쌍의 스캔전극(Y) 및 서스테인전극(Z)은 액티브영역 내에서 PDP의 상부 기판 상에 형성된다. 더미전극들(UDE1,UDE2,BDE1,BDE2)은 액티브영역의 위 아래에 위치하는 비표시영역 내에서 PDP의 상부기판 상에 형성된다. 어드레스전극들(도시하지 않음)은 상판전극들(UDE1,UDE2,BDE1,BDE2,Y,Z)과 교차되도록 PDP의 하부 기판 상에 형성된다.

<42> 상/하측 더미전극(UDE1,UDE2,BDE1,BDE2)은 전극간 방전이 쉽게 잘 일어나도록 전극간 간격(Gap)이 액티브영역의 서스테인전극쌍(Y,Z)보다 좁게 형성된다. 또한, 상/하측 더미전극(UDE1,UDE2,BDE1,BDE2)은 방전이 쉽고 잘 일어나도록 각

각의 전극간 간격(Gap)이 액티브영역 내의 서스테인전극쌍(Y,Z) 내에서 전극간의 간격보다 더 좁게 형성된다. 나아가, 각 더미전극(UDE1,UDE2,BDE1,BDE2)은 전극 표면에 형성되는 전하량이 적게 생성되도록 각각의 전극폭을 액티프영역(91) 내의 서스테인전극쌍(Y,Z)보다 좁게 형성된다.

<43> 따라서, 본 발명의 제 1 실시예에 따른 PDP는 비표시영역 내에 형성된 더미전극의 전극간 간격이 좁게 형성되며, 전극 폭 또한 좁게 형성됨으로써 초기화 기간에 인가되는 리셋 펄스에 의한 방전시 종래 PDP 내에서의 더미전극보다 쉽게 잘 방전되며 더미전극에서 강한 방전이 형성되어 축적된 전하를 더 많이 소거시킬 수 있게 된다. 그 결과, 본 발명의 제 1 실시예에 따른 PDP는 비표시영역 내에 형성된 더미전극에서의 이상방전이 억제된다.

<44> 도 10은 본 발명의 제 2 실시예에 따른 PDP를 나타낸다.

<45> 도 10을 참조하면, 본 발명의 제 2 실시예에 따른 PDP는 화상이 표시되는 액티브영역(Active area)(91)의 서스테인전극쌍(Y,Z)과, 액티브영역(91)의 서스테인전극쌍(Y,Z)보다 전극간 간격(Gap)이 작게 형성되고 각 전극의 폭이 좁게 형성되며 금속전극만으로 형성된 상측 더미전극(UDE3,UDE4) 및 하측 더미전극(BDE3,BDE4)을 구비한다.

<46> 본 발명의 제 2 실시예에 따른 PDP를 도 1 내지 도 3을 결부하여 설명하면, 서스테인전극쌍의 스캔전극(Y) 및 서스테인전극(Z)은 액티브영역 내에서 PDP의 상부 기판 상에 형성된다. 더미전극들(UDE3,UDE4,BDE3,BDE4)은 액티브영역의 위 아래에 위치하는 비표시영역 내에서 PDP의 상부기판 상에 형성된다. 어드레스전

극들(도시하지 않음)은 상판전극들(UDE3, UDE4, BDE3, BDE4, Y, Z)과 교차되도록 PDP의 하부 기판 상에 형성된다.

<47> 상/하측 더미전극(UDE3, UDE4, BDE3, BDE4)은 전극간 방전이 쉽게 잘 일어나도록 전극간 간격(Gap)이 액티브영역의 서스테인전극쌍(Y, Z)보다 좁게 형성된다. 또한, 상/하측 더미전극(UDE3, UDE4, BDE3, BDE4)은 방전이 쉽고 잘 일어나도록 각각의 전극간 간격(Gap)이 액티브영역 내의 서스테인전극쌍(Y, Z) 내에서 전극간의 간격보다 더 좁게 형성된다. 나아가, 각 더미전극(UDE3, UDE4, BDE3, BDE4)은 전극 표면에 형성되는 전하량이 적게 생성되도록 각각의 전극폭을 액티브영역(91) 내의 서스테인전극쌍(Y, Z)보다 좁게 형성된다.

<48> 따라서, 본 발명의 제 2 실시예에 따른 PDP는 비표시영역 내에 형성된 더미전극의 전극간 간격이 좁게 형성되며, 전극 폭 또한 좁게 형성됨으로써 초기화 기간에 인가되는 리셋 펄스에 의한 방전시 종래 PDP 내에서의 더미전극보다 쉽게 잘 방전되며 더미전극에서 강한 방전이 형성되어 축적된 전하를 더 많이 소거시킬 수 있게 된다. 그 결과, 본 발명의 제 2 실시예에 따른 PDP는 비표시영역 내에 형성된 더미전극에서의 이상방전이 억제된다.

<49> 아울러, 본 발명의 제 2 실시예에 따른 PDP는 금속전극만으로 더미전극을 형성하게 된다. 이는, 광투과가 되지 않는 물질로 더미전극을 형성하므로써 비표시영역 내에 형성된 더미전극에 리셋펄스가 인가되어 플라즈마 방전을 일으킬 때, 플라즈마 방전시 방출되는 빛을 화면표시영역에 투과되지 않도록 한다. 따라서, 화질을 향상시키게 된다.

【발명의 효과】

<50> 상술한 바와 같이, 본 발명에 따른 PDP는 액티브영역 내의 서스테인전극쌍 보다 더미전극의 전극간 간격을 좁히고 전극 폭을 줄임으로써 더미전극간 방전이 잘 일어나고 더미전극에 축적되는 전하의 생성을 줄이게 된다. 그 결과, 본 발명에 따른 PDP는 이상방전을 방지하여 화질을 높일 수 있게 된다.

<51> 아울러, 본 발명에 따른 PDP는 이상방전의 발생이 억제되므로 종래 기술에 따른 PDP에서 이상방전 시 더미전극에 흐르는 거대 전류로 인해, 어드레스구동회로 및 스캔 구동회로가 파괴되는 현상이 방지된다. 그 결과, PDP의 신뢰성을 확보할 수 있게 된다.

<52> 나아가, 본 발명에 따른 PDP는 비표시영역 내에 형성되는 더미전극을 광투과가 없는 물질로 형성하므로써 초기화기간에 인가되는 리셋 펄스에 의한 플라즈마 방전시 발생하는 빛도 차단할 수 있게 된다. 그 결과, PDP의 화질이 향상된다.

<53> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여 죄야만 할 것이다.

【특허청구범위】**【청구항 1】**

화상이 표시되는 액티브영역과 상기 액티브영역의 바깥쪽에 위치하는 비표시영역을 가지는 플라즈마 디스플레이 패널에 있어서,
상기 비표시영역 내에 위치하는 더미전극들은 상기 액티브영역 내에 위치하는 서스테인전극쌍들에 비해 전극간 간격이 좁은 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 2】

제 1 항에 있어서,
상기 더미전극들은 금속전극만으로 이루어진 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 3】

제 1 항에 있어서,
상기 더미전극들은 상기 서스테인전극쌍들에 비해 전극의 폭이 좁은 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 4】

제 3 항에 있어서,
상기 더미전극들은 금속전극만으로 이루어진 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 5】

화상이 표시되는 액티브영역과 상기 액티브영역의 바깥쪽에 위치하는 비표시영역을 가지는 플라즈마 디스플레이 패널에 있어서, 상기 비표시영역 내에 위치하는 더미전극들은 상기 액티브영역 내에 위치하는 서스테인전극쌍들에 비해 전극의 폭이 좁은 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 6】

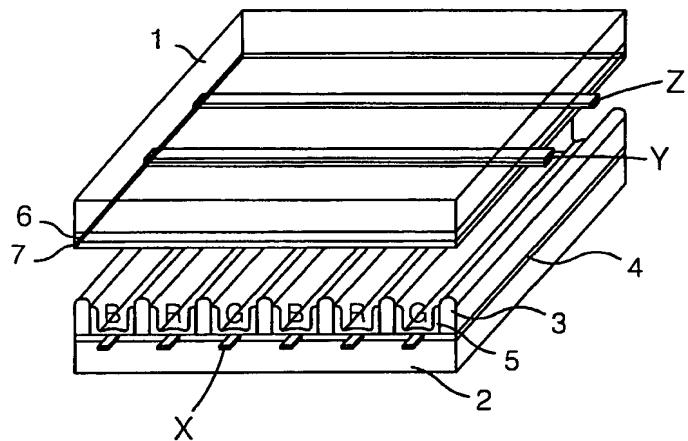
제 5 항에 있어서, 상기 더미전극들은 금속전극만으로 이루어진 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 7】

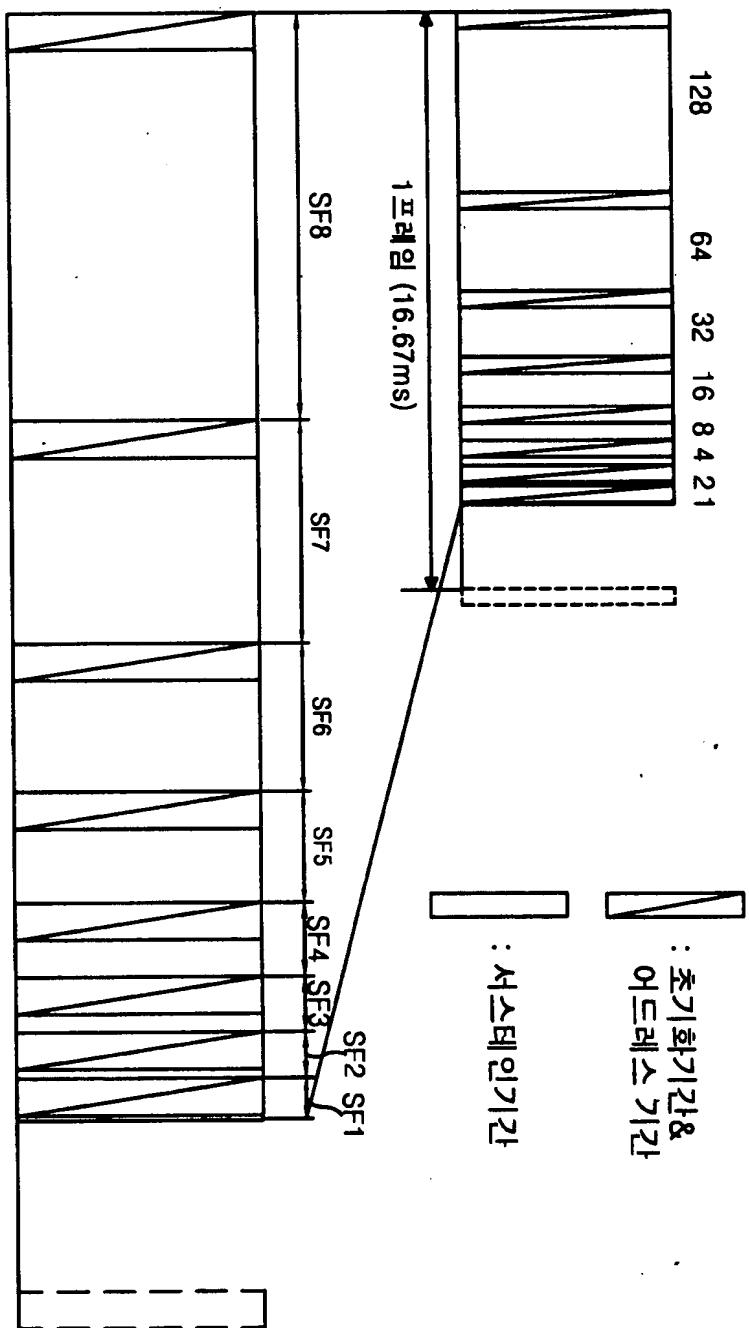
화상이 표시되는 액티브영역과 상기 액티브영역의 바깥쪽에 위치하는 비표시영역을 가지는 플라즈마 디스플레이 패널에 있어서, 상기 비표시영역 내에 위치하는 더미전극들은 금속전극만으로 이루어진 것을 특징으로 하는 플라즈마 디스플레이 패널.

【도면】

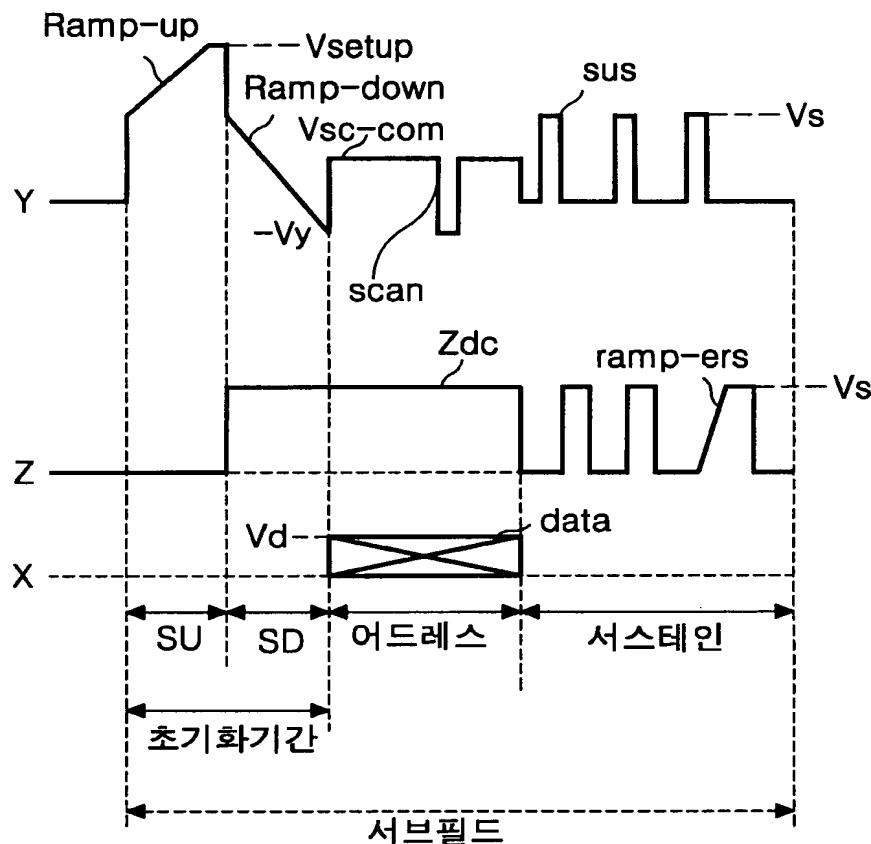
【도 1】



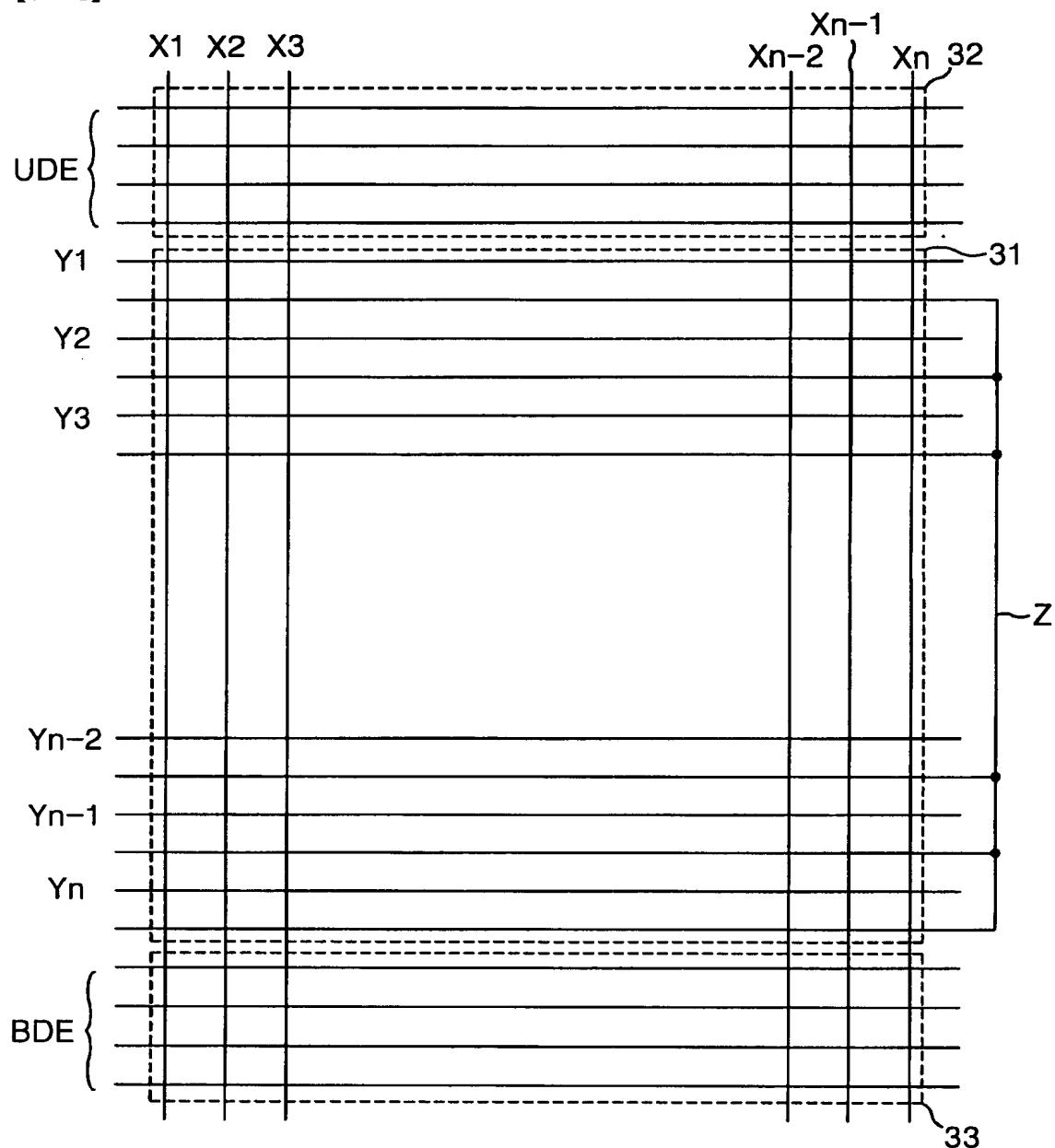
【도 2】



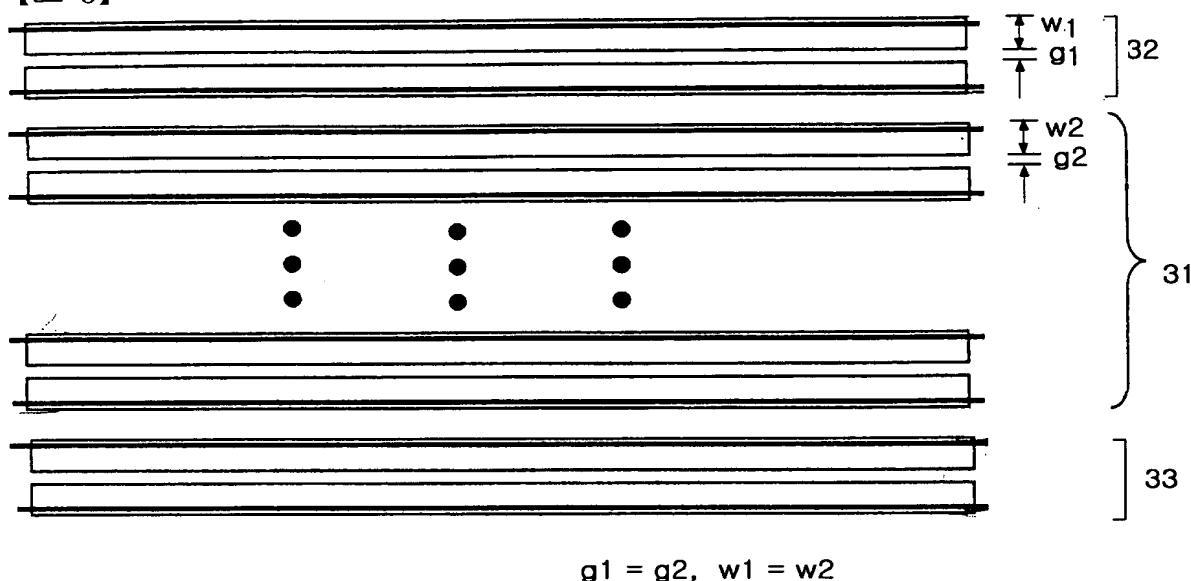
【도 3】



【도 4】

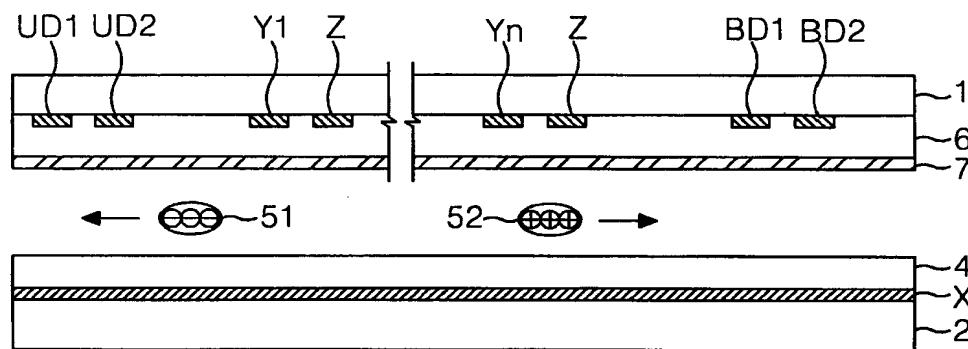


【도 5】

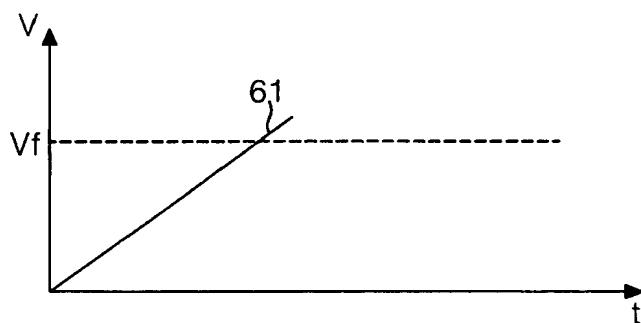


$$g_1 = g_2, \quad w_1 = w_2$$

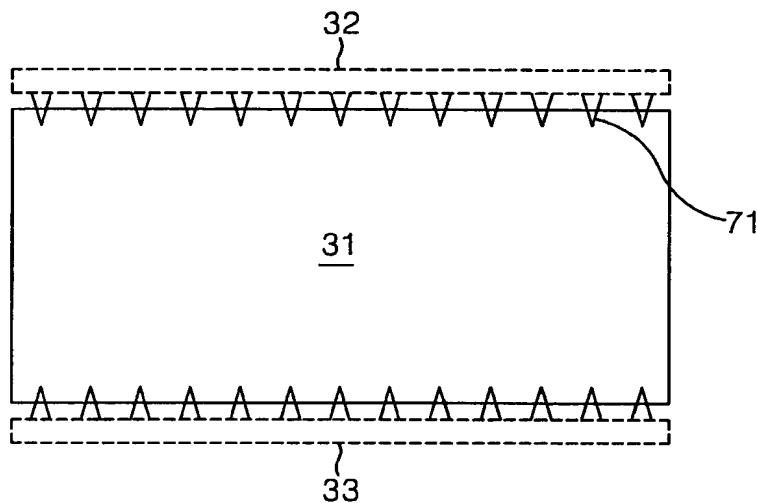
【도 6】



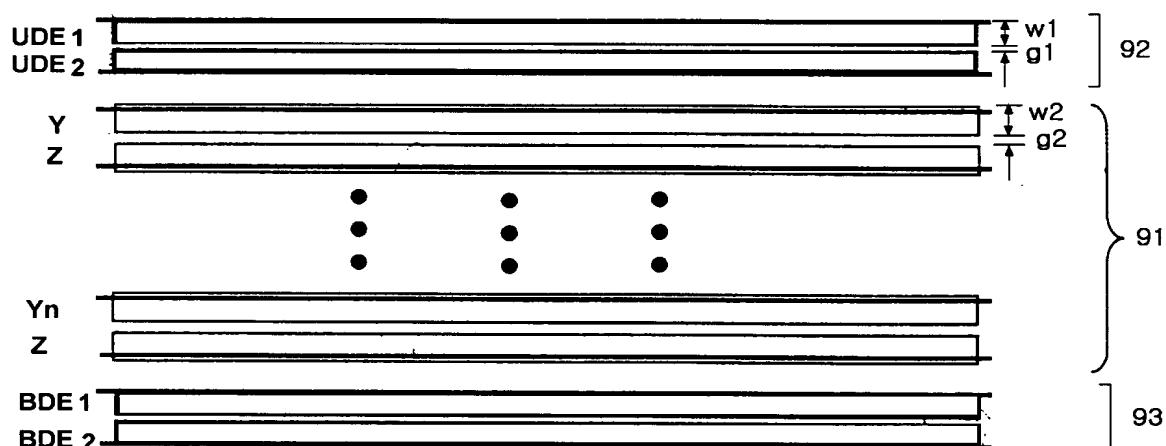
【도 7】



【도 8】



【도 9】



1020020055455

출력 일자: 2003/9/5

【도 10】

